

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

010318002 **Image available**

WPI Acc No: 1995-219265/ **199529**

XRPX Acc No: N95-172036

Semiconductor element mounting structure - has insulated board on which slot is cut and blank part is set up at its circumference to secure required creeping distance

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7131125	A	19950519	JP 93278082	A	19931108	199529 B

Priority Applications (No Type Date): JP 93278082 A 19931108

Patent Details:

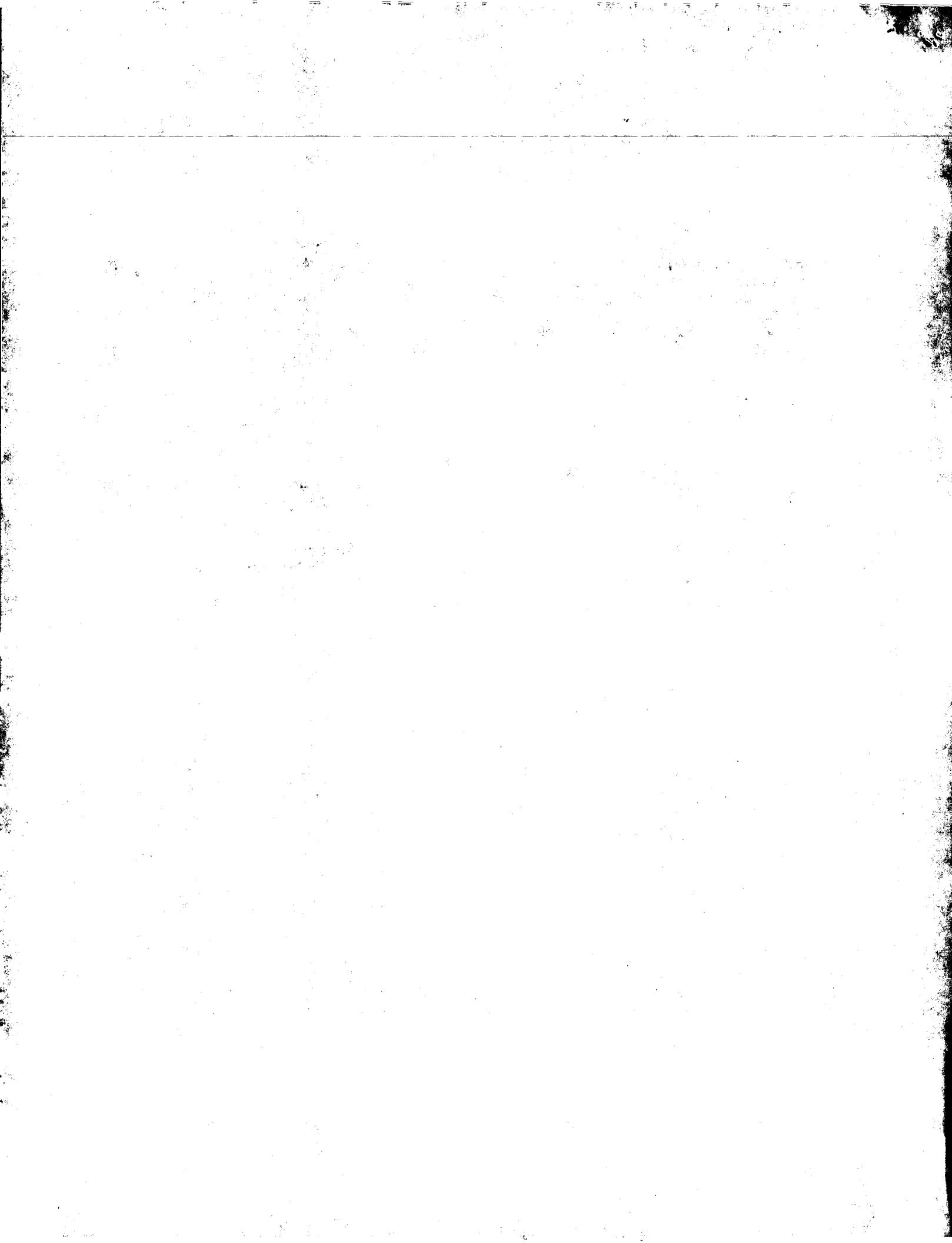
Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7131125	A	6		H05K-001/00	

Abstract (Basic): JP 7131125 A

The mounting structure comprises of an insulated board (2) set up between a metal support board (1) and an electrically active region (10).

A required creeping distance (16) between the metal support board and the electrically active region is secured by cutting a slot (11) and setting up a blank part (14) on the circumference of the insulated board and by adding the thickness of the insulated board.

ADVANTAGE - Reduces size of module as size of insulated board is reduced.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-131125

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 05 K 1/00

審査請求 未請求 請求項の数9 OL (全6頁)

(21)出願番号 特願平5-278082

(22)出願日 平成5年(1993)11月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 細川 隆

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 井上 広一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 沢島 守

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体素子実装構造

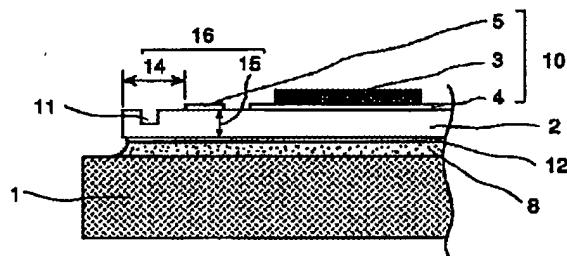
(57)【要約】

【目的】高電圧用半導体装置において、電気的活性領域と金属支持板を絶縁している絶縁板周囲にある沿面距離を確保するための空白部の幅と絶縁板の厚さを足した長さよりも沿面距離を長くすること。

【構成】上記絶縁板の空白部内に溝を切る、突起を設ける、表面を荒す等の方法を用いることにより、沿面距離を稼ぐ。

【効果】上記方法を用いることで、必要な沿面距離を確保した上で、絶縁板のサイズを小さくすることができ、モジュールを小型化することができる。

図 1



【特許請求の範囲】

【請求項1】金属支持板と電気的活性領域との間に絶縁板があり、絶縁板上の電気的活性領域の周囲に金属支持板との間の沿面距離を稼ぐための空白部を有し、空白部の幅と板厚の合計よりも沿面距離を長くすることを特徴とする半導体素子実装構造。

【請求項2】請求項1において、絶縁板上の電気的活性領域周囲の空白部表面に溝を切ることを特徴とする半導体素子実装構造。

【請求項3】請求項1において、絶縁板側面に溝を切ることを特徴とする半導体素子実装構造。

【請求項4】請求項1において、絶縁板上の電気的活性領域周囲の空白部外周に突起を設けることを特徴とする半導体素子実装構造。

【請求項5】請求項1において、絶縁板上の電気的活性領域周囲の空白部の裏面にも空白部を設けたことを特徴とする半導体素子実装構造。

【請求項6】請求項1において、絶縁板上の電気的活性領域周囲の空白部表面を粗化することを特徴とする半導体素子実装構造。

【請求項7】請求項2又は3において、絶縁板空白部にレーザーを用いて溝を形成することを特徴とする半導体素子実装構造の製法。

【請求項8】請求項2又は3において、絶縁板空白部に回転研磨機を用いて溝を形成することを特徴とする半導体素子実装構造の製法。

【請求項9】請求項6において、絶縁板空白部にサンドブラストして表面を粗化することを特徴とする半導体素子実装構造の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子実装構造及びそれに用いる絶縁板に関する。

【0002】

【従来の技術】従来、半導体素子を支持する部材は非絶縁型半導体装置の一電極を兼ねる場合が多かった。たとえば、パワートランジスタチップを銅ベース上に直接搭載したパワートランジスタ装置では、銅ベースはトランジスタのコレクタ端子と支持部材を兼ねる。更にこの銅ベースは、トランジスタが稼働することにより発生する熱を有効に放散するための部材も兼ねている。また、高耐圧化され、大電流を流すことが可能なInsulated Gate Bipolar Transistor (IGBT)チップを上記銅ベースに直接搭載した場合は、熱放散中継部材としての銅ベースの役割は一層重要となる。

【0003】また、半導体装置の回路適用上の自由度を増すために、半導体装置のすべての電極を金属支持部材から電気的に絶縁する構造が出現し、高電圧用半導体装置の実装構造として主流となっている。このような絶縁型半導体装置の1例の縦断面模式図を図7に示す。この

10

20

30

40

50

図において、金属支持板1と、半導体素子3、配線板4及び端子板5は、絶縁板2を介して接続され、この電気的活性領域（半導体素子3、配線板4及び端子板5）は絶縁板2により金属支持板1から絶縁されている。その上部にはケース6及びゲル7があり、半導体素子3を外界の衝撃や温気から守っている。半導体素子3と端子板5の間は、ワイヤー9で接続される。また、絶縁板2は、金属支持板1上にはんだ8で接続される。このような構造とすることにより、電気的活性領域は支持板1と絶縁されているため、電極電位とは無関係にモジュールを接地電位部に固定できるので、半導体装置の実装が容易になる。

【0004】この絶縁型半導体装置の実例の一つとして、特開昭61-174660号公報が挙げられる。この例に示すように半導体装置に使用する絶縁板には、電気的活性領域つまり電極部の周囲に、隣の電極又は支持板との間の沿面距離を確保するための空白部が設けてある。この空白部の幅は、その半導体装置で使用する電圧の大きさによって絶縁に必要な距離が決定され、その距離から板厚分を引くことによって決定される。このような構造において、上記絶縁距離を稼ぐには、絶縁板の板厚を増やすか、空白部の幅を増やすかしか無かった。しかしながら、絶縁板の板厚を増やすと、一般に絶縁板にはセラミック等の無機材料を使用しているため、熱の伝導が悪くなり、チップの発熱が有効に放熱できないという問題が生じる。また、絶縁板の板厚を一定として空白部の幅を増やすと、その分だけモジュールのサイズが大きくなり、モジュール外形寸法に制限が有る場合に問題になつて来る。

【0005】

【発明が解決しようとする課題】本発明では、絶縁板上の電気的活性領域と金属支持板との間の絶縁に必要な沿面距離を保持したまま、絶縁板の電気的活性領域の周囲にある空白部の幅を小さくし、モジュールの小型化を実現するための方法に関する。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明者は、絶縁板の電気的活性領域の周辺に有る空白部の表面に溝を切る、突起を設ける、表面を粗化する等の方法を用いて沿面距離を稼ぐ点に着目した。この方法を用いることによって絶縁に必要な沿面距離を確保しつつ、絶縁板のサイズを小型化することができる。

【0007】この絶縁板に溝を切るという方法に関しては、特開平1-25530号公報に述べられている。しかし、この場合は、セラミック基板に溝を切る位置はチップ周辺部の電気的活性領域内である。本発明は電気的活性領域の外側に溝を掘ることによって沿面距離を稼ぐ方法に関するものである。

【0008】

【作用】上記方法を用いて有効な沿面距離を稼ぐこと

で、高電圧半導体装置に必要な沿面距離を確保したうえで、絶縁板のサイズを小型化することができる。更に、上記方法を用いれば、絶縁板の板厚を増やすずに必要な沿面距離を稼ぐことができるため、熱抵抗の増加が抑えられる。これによって、パワー半導体装置の小型化、高信頼化に寄与できる。

【0009】

【実施例】以下、本発明による半導体素子実装構造及びその製法について説明する。

【0010】実施例1

本発明の第1の実施例について詳細に説明する。

【0011】図1は本発明の第1の実施例を説明する半導体素子実装構造主要部の断面模式図である。

【0012】本発明で対象にしている絶縁型半導体装置の半導体素子実装構造では、図7に示すように、半導体素子3、配線板4、端子板5は、使用的半導体素子3の種類にもよるが、1000V以上の高電圧がかかる電気的活性領域10となる。この電気的活性領域10と金属支持板1の間を絶縁しているのが絶縁板2である。半導体素子3は、配線板4上にはんだ付けされ、半導体素子3と端子板5の間はワイヤー9で接続される。この配線板4と端子板5の間、及び配線板4もしくは端子板5と金属支持板1の間には、それぞれにかかる電圧に対応した沿面距離16を設けてある。

【0013】さらに、金属支持板1上にはケース6が接着され、ケース6内部はゲル7で満たされた構造となっており、金属支持板1、絶縁板2、端子板5、半導体素子3、ワイヤー9はすべてゲル7で覆われる。このような構造の場合、電気的活性領域10と金属支持板1の間に過大な電圧がかかって絶縁が破られた際には、電流は電気的活性領域10と金属支持板1の間の絶縁板2表面を伝って流れる。この表面の距離が大きくなればなるほど、絶縁が破られるまでにかけることのできる電圧は大きくなる。つまり、この両者間の絶縁を保つために必要なのは、絶縁板2上の電気的活性領域10周辺に設けた空白部14の幅と板厚15を合計した沿面距離16である。この沿面距離16は各部材間に生じる電圧の大きさによって設定され、大きな電圧のかかる部材間ほど大きな沿面距離16を設けなければならない。

【0014】本実施例においては、図1に示すように、絶縁板2外周部の電気的活性領域10の外側の空白部に溝11を形成することによって電気的活性領域10と金属支持板1の間の絶縁板2上の沿面距離16を稼いでいる。このような方式を取ることにより、必要な沿面距離16を確保した上で絶縁板2のサイズを小さくすることができる。

【0015】この方法で沿面距離16を稼ぐ上で、溝11の幅及び深さが重要となってくる。つまり、溝11の深さをあまり深くすると絶縁板2の強度が低下し、図2に示すように、はんだ付け時及びその後の取扱いによっ

て溝の底部にクラック17が入る恐れがある。このようなクラック17が入ると絶縁板2の実効沿面距離16が減少し、絶縁が大きく損なわれてしまう。そのため、溝11の深さは絶縁板2板厚15の2/3以下に抑える必要があり、実質的には1/2以下が望ましい。また、溝11の幅は、あまり細くしすぎるとゲル7を注入、硬化する際に気泡が除去しきれず、その気泡に水が溜って絶縁が悪化する場合があるので注意が必要である。そのため、溝11の幅と深さの関係は、ゲル7注入時の気泡残存性や、絶縁板2の強度等の点を考えて幅/深さの比が1/1以上有るのが望ましい。

【0016】また、絶縁板2の放熱性を阻害しないため、絶縁板2の空白部16中で電気的活性領域10から絶縁板2の板厚15分だけ外側は溝を切らない領域とし、溝11は、それより外側に切るようにする必要がある。

【0017】更に、絶縁板2が薄く、溝11の深さが十分取れない場合には、溝11を1本だけではなく、複数の溝11を切ることによって更に沿面距離16を稼ぐことができる。

【0018】以上の記述では電気的活性領域10と金属支持板1の間について言及しているが、この方法は電気的活性領域10内、つまり端子板5と配線板4間等にも溝11を切ることによってこの両者間の沿面距離16を稼ぐことができ、これによって電気的活性領域10をよりコンパクトにまとめられるため、絶縁板2のサイズを更に小さくすることも可能である。

【0019】図3は本発明の第1の実施例の別な手法を説明する半導体素子実装構造主要部の断面模式図である。

【0020】この図に示すように、溝11を絶縁板2上面ではなく、絶縁板2側面に切ることによっても上記と同様の効果を得ることができる。

【0021】この場合、溝11の幅は、絶縁板2の板厚15の2/3以下にする必要があり、実質的には1/2以下にするのが望ましい。また、絶縁板2の放熱性を阻害しないため、溝11の深さは、電気的活性領域10外周に絶縁板2の板厚15分を足した領域には入らないよう設定する必要がある。

【0022】本実施例において絶縁板2上に溝11を切る方法としては、レーザーを照射する方法、ダイヤモンドカッター等の回転研磨機を使用する方法等が考えられる。しかしながら、この両方法とも絶縁板2上に残渣が付着する恐れがあり、溝11形成後の洗浄をしっかりと行う必要がある。

【0023】実施例2

本発明の第2の実施例について詳細に説明する。

【0024】図4は本発明の第2の実施例を説明する半導体素子実装構造主要部の断面模式図である。

【0025】本実施例は、電気的活性領域10と金属支

5

持板1の間の沿面距離16を稼ぐために、電気的活性領域10周囲の空白部14に突起13を設けるというものである。

【0026】先に述べた実施例1のように絶縁板2に溝11を形成する方法では、稼げる沿面距離16は絶縁板2の厚さによって決まってしまうが、この方法を用いれば、突起13を高くすることで、有効に沿面距離16が稼げ、モジュールのサイズを更に小さくすることができる。

【0027】このような形状の絶縁板2を製作するには、あらかじめ、突起13の高さと絶縁板2の厚さを足した厚みの板を用意し、絶縁板2中央部の電気的活性領域10が付く部分を、絶縁板2の板厚15分を残して研削する方法がある。

【0028】また、別な方法としては、絶縁板2と周囲の突起部13を別々に用意し、ガラス系接着剤で接着して製作する方法もある。

【0029】実施例3

本発明の第3の実施例について詳細に説明する。

【0030】図5は本発明の第3の実施例を説明する半導体素子実装構造主要部の断面模式図である。

【0031】本実施例は、絶縁板2の表面のみならず、裏面も使用することにより沿面距離16を稼ぐというものである。この方法を用いるためには、絶縁板2裏面の接続用メタライズ部12を絶縁板2サイズより小さくする必要がある。このような絶縁板2を接続するのに平面の金属支持板1を用いたのでは、絶縁板2との隙間がはんだ8で充填されてしまい、有効な沿面距離16が稼げない恐れがある。また、ゲルの回りも悪くなるため、ボイドができ易くなり、絶縁が悪くなる恐れもある。そこで金属支持板1に、絶縁板2の接続用メタライズ部12に合わせた大きさの突出部18を設け、その上に絶縁板2を搭載することにより、はんだ付けしやすく、また、ゲルの回りも良い半導体素子実装構造を得ることができる。

【0032】この場合、金属支持板1突出部18のサイズ、及びそれに対応した絶縁板2の接続用メタライズ部12のサイズは、電気的活性領域10の放熱性を阻害しないため、電気的活性領域10のサイズより絶縁板2の板厚15分以上は大きくする必要がある。

【0033】この方法を用いれば、一般的にはセラミックが使用される絶縁板2には加工を施す必要が無い。このため、小型化が可能な上に、低コストなモジュールを得ることができる。

【0034】実施例4

本発明の第4の実施例について詳細に説明する。

【0035】図6は、本発明の第3の実施例を説明する

6

半導体素子実装構造主要部の断面模式図である。

【0036】本実施例は、絶縁板2上の電気的活性領域10周囲の空白部14表面及び絶縁板2側面に、微細な凹凸を形成することにより表面積を増大させ、沿面距離16を稼ぐものである。

【0037】微細な凹凸を形成する方法としては、サンドブラストが考えられる。絶縁板2の材質に、アルミナ、窒化アルミ等のセラミック材料が用いられる場合、サンドブラストを用いることで、表面に有効に凹凸を形成することができる。この場合、絶縁板2上の配線板4及び端子板5が付く部分はマスキングしておく必要がある。また、配線板4及び端子板5を絶縁板2上に接続してからでも、そこをマスキングすることによってサンドブラストが可能である。

【0038】しかしながら、この方法では、実際にどれだけの距離が稼げたかを定量的に測る手段が無く、ある程度の安全率を考えた上で空白部14の幅を設定する必要がある。

【0039】

【発明の効果】本発明を用いることで、高電圧用半導体装置において、必要な沿面距離16を確保した上で絶縁板を小型化した半導体実装構造をえることができ、モジュールの小型化に貢献できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明する半導体素子実装構造主要部の断面模式図である。

【図2】本発明の第1の実施例におけるクラックの入り方を説明する半導体素子実装構造主要部の断面模式図である。

【図3】本発明の第1の実施例の別な手法を説明する半導体素子実装構造主要部の断面模式図である。

【図4】本発明の第2の実施例を説明する半導体素子実装構造主要部の断面模式図である。

【図5】本発明の第3の実施例を説明する半導体素子実装構造主要部の断面模式図である。

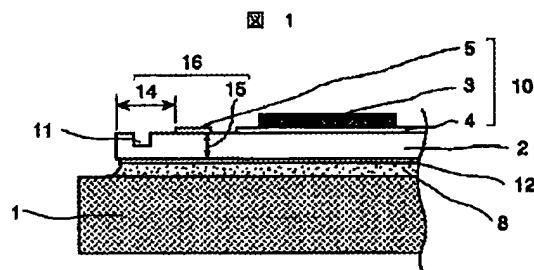
【図6】本発明の第4の実施例を説明する半導体素子実装構造主要部の断面模式図である。

【図7】絶縁型半導体装置の半導体素子実装構造全体の断面模式図である。

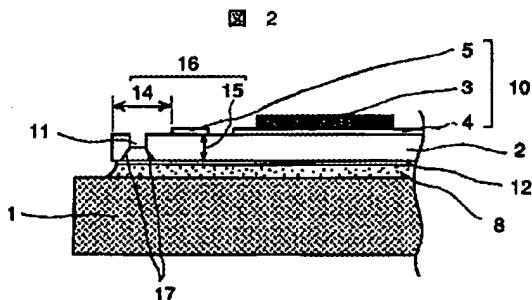
【符号の説明】

1…金属支持板、2…絶縁板、3…半導体素子、4…配線板、5…端子板、6…ケース、7…ゲル、8…はんだ、9…ワイヤー、10…電気的活性領域、11…溝、12…接続用メタライズ部、13…突起、14…空白部、15…板厚、16…沿面距離、17…クラック、18…金属支持板突出部。

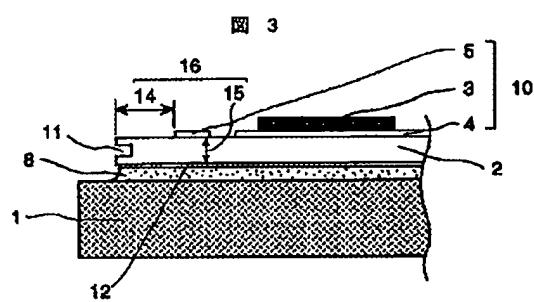
【図1】



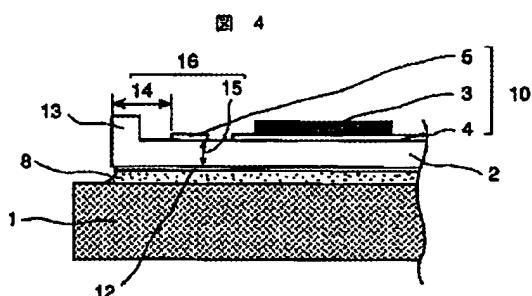
【図2】



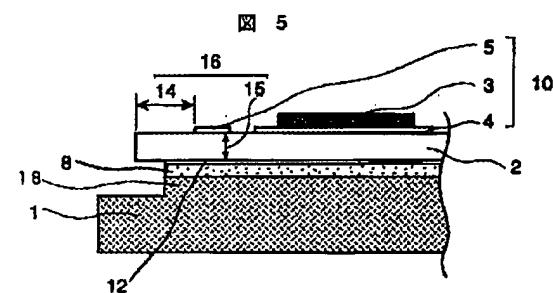
【図3】



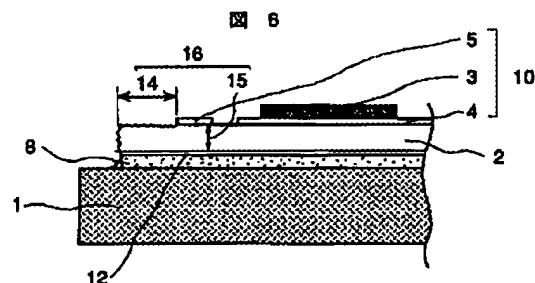
【図4】



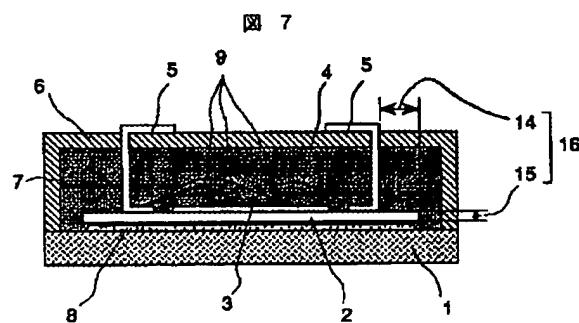
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 佐藤 清
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内